

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186520

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
21/28
21/768

H 0 1 L 27/10 6 8 1 F
21/28 L
21/90 C
27/10 6 2 1 Z
6 8 1 B

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号

特願平9-353522

(22) 出願日

平成9年(1997)12月22日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 宮川 康陽

東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内

(72) 発明者 谷島 司

東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内

(72) 発明者 高瀬 俊二

東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内

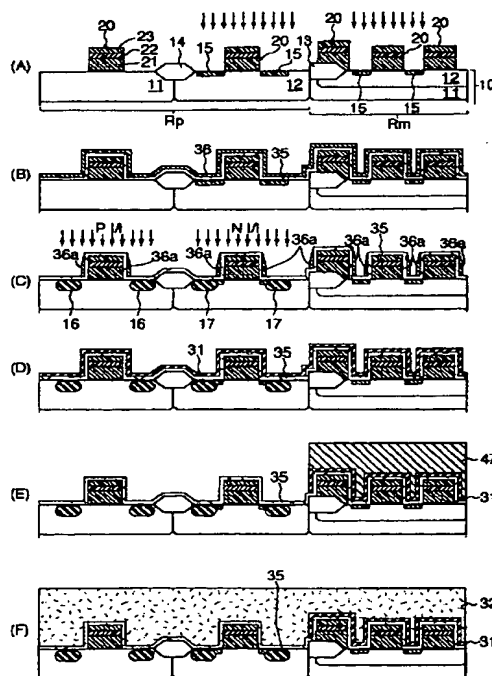
(74) 代理人 弁理士 小岩井 雅行 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ストッパーとして形成されるシリコン窒化膜が装置のより一層の微細化を妨げることがなく、かつ、接続位置が異なる複数の種類のコンタクトホールを一括して形成することができる半導体装置の製造方法を提供することを課題(目的)とする。

【解決手段】 ポリシリコン膜で形成したサイドウォール36aを除去した後に、メモリセル領域Rmのトランスファゲート20間を塞がない膜厚でストッパーとしてシリコン窒化膜31を堆積するようにし、かつ、周辺回路領域Rpのシリコン窒化膜31を基板工程で除去している。



【特許請求の範囲】

【請求項 1】 トランジスタが相対的に高い集積度で形成される高集積度領域と、相対的に低い集積度で形成される低集積度領域とを含む半導体装置の製造方法において、

シリコン基板上にトランスファゲートを形成する段階と、

前記シリコン基板の全面に保護膜として第 1 のシリコン酸化膜を形成する段階と、

前記保護膜上に該保護膜に対してエッチング時の選択性を有する異種膜を堆積する段階と、

前記異種膜を異方的にエッチングすることにより、前記トランスファゲートの側面にサイドウォールを形成する段階と、

前記低集積度領域のトランスファゲートの周囲に前記サイドウォールをマスクとして不純物をドーピングする段階と、

前記保護膜をストッパーとして前記異種膜をエッチングにより除去する段階と、

前記高集積度領域のトランスファゲート間の間隙を塞がず、かつ、ストッパーとして機能するのに十分な膜厚のシリコン窒化膜を前記シリコン基板の全面に形成する段階と、

前記低集積度領域において、少なくとも上層の配線に接続されるトランスファゲートの上面を含む領域で前記シリコン窒化膜を除去する段階と、

前記シリコン基板の全面に前記トランスファゲートを覆う膜厚の第 2 のシリコン酸化膜を堆積する段階と、

前記低集積度領域で前記配線に接続されるトランスファゲートの上面と、前記高集積度領域で前記配線に接続される前記シリコン基板の上面とに開口を有するコンタクトホール形成用のマスクをフォトリソグラフィプロセスにより形成する段階と、

前記コンタクトホール形成用のマスクを介して前記シリコン窒化膜をストッパーとする条件で前記第 2 のシリコン酸化膜をエッチングし、続いてシリコン窒化膜を除去する条件でエッチングすることによりコンタクトホールを形成する段階とを含み、これらの段階が順に実行されることを特徴とする半導体装置の製造方法。

【請求項 2】 前記異種膜は、ポリシリコン膜により形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記異種膜は、シリコン窒化膜により形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記シリコン窒化膜除去段階では、前記高集積度領域をマスクして前記シリコン窒化膜を等方的にエッチングすることにより、前記低集積度領域におけるシリコン窒化膜を全体的に除去することを特徴とする請求項 1 に記載の半導体装置の製造方法。

2

【請求項 5】 前記シリコン窒化膜除去段階では、前記高集積度領域をマスクして前記シリコン窒化膜を異方的にエッチングすることにより、前記低集積度領域におけるシリコン窒化膜を、前記トランスファゲートの側面部分を残して除去することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記シリコン窒化膜除去段階では、前記配線に接続されるトランスファゲートの上面においてのみ前記シリコン窒化膜を除去することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 ストッパーとして機能するシリコン窒化膜形成段階の後に、該シリコン窒化膜の表面を覆うマスク用シリコン酸化膜を形成する段階をさらに有し、前記シリコン窒化膜除去段階では、前記高集積度領域をマスクして前記マスク用シリコン酸化膜をフッ化水素水溶液でエッチングした後に、前記高集積度領域に残ったマスク用シリコン酸化膜をマスクとして熱リン酸水溶液でエッチングすることにより、前記低集積度領域におけるシリコン窒化膜を全体的に除去することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 8】 前記トランスファゲートは、ポリシリコン膜と該ポリシリコン膜上に形成されたシリコン酸化膜とを有しすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 9】 前記半導体装置はダイナミックランダムアクセスメモリであり、前記高集積度領域はメモリセル領域、前記低集積度領域は周辺回路領域であることを特徴とする請求項 1 ～ 8 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の基板工程、および配線工程における製造方法に関し、特に、コンタクトホールの形成技術に関する。

【0002】

【従来の技術】LSI デバイス等の半導体装置の分野では、装置の小型化、高集積度化に伴い、パターンルールが縮小の一途をたどっている。パターンルールの縮小で最も影響を受けるプロセスはフォトリソグラフィプロセスである。露光段階での合わせ誤差によるパタンの位置ズレは、対象とするトランスファゲートやコンタクトホール等のパタンが小さくなればなるほど、相対的に大きくなり、半導体装置の特性を変化させる。ただし、フォトリソグラフィの解像度を考えると、合わせ誤差を完全になくすることはできない。そこで、コンタクトホールの形成に関しては、コンタクトホールの位置と、その周辺のゲート等との位置関係がズレた場合にも、両者の間の絶縁を保つことができるような構造が望まれる。

【0003】上記の要望を満たすような従来の半導体装置の製造方法を図 16 ～ 図 18 に基づいて説明する。図

3

16はダイナミックランダムアクセスメモリ(DRAM)の製造工程中の基板工程の一部、図17および図18はその配線工程の一部をそれぞれ段階的に示す拡大断面図である。DRAMは一般にCMOS回路を基本とする素子であり、nチャンネルMOSFET(nMOS)とpチャンネルMOSFET(pMOS)とを配線で接続して構成される。

【0004】図16(A)に示されるように、シリコン基板10にはウェルイオンの注入によりn形領域(nウェル)11とp形領域(pウェル)12とが形成されると共に、選択酸化により素子分離領域13,14が形成されている。また、シリコン基板10上には、多数のトランスファゲート20が形成されている。トランスファゲート20は、シリコン基板10側から順に、ゲート酸化膜21とゲートポリシリコン膜22、そしてシリコン酸化膜23とを積層して構成されている。なお、この明細書では、トランスファゲート20を構成するシリコン酸化膜23を、トランスファゲート20の上面を実際の導通層であるゲートポリシリコン膜22に対して変位(オフセット)させるという意味で、「オフセットシリコン酸化膜」と呼ぶこととする。これら3層を一面に堆積した後、通常の写真リソグラフィ工程によりトランスファゲート20の形成部分にレジスト膜を残し、ゲートポリシリコン膜22をストッパーとしてオフセットシリコン酸化膜23をドライエッチングする。レジストを灰化した後、オフセットシリコン酸化膜23をマスクとしてゲートポリシリコン膜22とゲートシリコン酸化膜21とを同時にドライエッチングしてトランスファゲート20を形成する。

【0005】なお、オフセットシリコン酸化膜23をマスクとして利用するのは、薄いレジスト層を用いてトランスファゲート20のような大きな段差をエッチングすることにより、レジスト層が欠損するのを避けるためである。露光装置により現像できるレジスト層の厚さは、露光装置の焦点深度に依存しているが、写真リソグラフィで形成されるパターンが微細化するほど、露光装置の解像度を上げるために開口数(NA)を小さくしなければならず、これにより焦点深度が浅くなる。このように、微細化が進むほど現像できるレジスト層の厚さは薄くなるため、段差の大きいエッチングが必要な場合には、上記のオフセットシリコン酸化膜23のようなマスクが必要となる。

【0006】素子分離領域13より図中左側の領域は、トランジスタの集積度が相対的に低い周辺回路領域Rp、右側の領域は、トランジスタの集積度が相対的に高いメモリセル領域Rmである。両領域のnウェル11をレジストによりマスクし、pウェル12の部分にn形不純物を図中に矢印で示したようにイオン注入法により注入してnMOSのソース・ドレインとなるn⁻拡散層15を形成する。なお、イオン注入時のレジストパターンは図示していない。

4

【0007】次に、ウェーハ全面にシリコン酸化膜を化学的気相成長(CVD)法により堆積し、これを異方的にエッチングすることにより図16(B)に示されるようなサイドウォール30をトランスファゲート20の側面に形成する。ここで形成されるサイドウォール30の幅は、周辺回路領域RpのMOSのソース・ドレインとなる拡散層を形成する際のマスクとして必要とされる値になるよう定められる。

【0008】続いて、図16(C)に示すように、通常の写真リソグラフィプロセスにより他の領域をマスクして周辺回路領域Rpのpウェルにn形の不純物、nウェルにp形の不純物を順にイオン注入法により注入し、p⁺拡散層16、n⁺拡散層17を周辺回路領域RpのMOSのソース・ドレインとして形成する。メモリセル領域RmのMOSはON/OFF動作をするのみであるため、p⁺拡散層やn⁺拡散層が必要ないが、周辺回路領域RpのMOSは増幅動作等をするため、これらの拡散層が必要となる。pサイドウォール30はイオン注入の位置、すなわち各拡散層16,17とトランスファゲート20との位置関係を制御しており、これによりMOSFETの特性が決定される。なお、図16(C)においても、イオン注入時のレジストパターンは図示していない。

【0009】周辺回路領域Rpにおける拡散層16,17の形成後、コンタクトホール形成時のエッチングのストッパーとなる厚さのシリコン窒化膜31を全面に形成し、このシリコン窒化膜31の上にシリコン酸化膜32を堆積し、表面を化学機械研磨(CMP)により研磨して、図16(D)に示すように平坦化する。

【0010】配線工程では、最初にメモリセル領域Rmでシリコン基板10に達するコンタクトホールを形成するため、図17(A)に示すように通常の写真リソグラフィプロセスによりレジスト膜によるマスクパターン40を形成し、これをマスクとしてシリコン窒化膜31をストッパーとする条件でシリコン酸化膜32をエッチングし、続いてシリコン窒化膜31をエッチングする条件でシリコン基板10に達するコンタクトホール41を開口する。

【0011】マスクパターン40のレジストを灰化した後、ポリシリコン膜を形成してコンタクトホール41を埋め込み、図17(B)に示すように全面エッチバックによりパッド50を形成する。なお、このパッド50は、後工程で形成されるキャパシタ電極とのコンタクトをとるために用いられる。

【0012】パッド50の形成後、図18(A)に示すように絶縁層としてシリコン酸化膜33を堆積し、メモリセル領域Rmでシリコン基板10とシリコン酸化膜33上に形成されるビット線とを接続するためのコンタクトホールを形成する。シリコン酸化膜33上に通常の写真リソグラフィプロセスによりレジスト膜によるマスクパターン42を形成し、これをマスクとしてシリコン窒化膜31をストッパーとする条件でシリコン酸化膜33,32をエッチング

5

し、続いてシリコン窒化膜31をエッチングする条件でシリコン基板10に達するコンタクトホール43を開口する。

【0013】上記のように、シリコン窒化膜31をガイドとしてシリコン酸化膜32をエッチングすることにより、コンタクトホール形成用マスクにおける開口位置が多少ズレた場合にも、シリコン基板10に達するコンタクトホール41, 43をトランスファゲート20との間の絶縁を保ちつつ形成することができる。

【0014】続いて、周辺回路領域Rpで、トランスファゲート20のゲートポリシリコン膜22に達するコンタクトホールを形成する。まず、マスクパターン42のレジストを灰化した後、図18(B)に示されるように、接続されるトランスファゲート20の上に開口するマスクパターン44を通常のフォトリソグラフィプロセスにより形成し、これをマスクにしてシリコン酸化膜33, 32とシリコン窒化膜31、およびオフセットシリコン酸化膜23とを一括してエッチングできる条件でトランスファゲート20に達するコンタクトホール45を開口する。マスクパターン44を灰化し、図18(C)に示されるように、ビット線膜34を形成し、ビット線として必要部分を残すためのマスクパターン46を通常のフォトリソグラフィプロセスにより形成し、これをマスクにしてシリコン酸化膜33をストッパーとする条件でビット線膜34をエッチングする。このビット線形成後、キャパシタ電極の形成等の処理が行われ、DRAMのウェーハプロセス(前工程)が終了する。前工程が終了すると、動作確認のテストが実行され、パッケージング(後工程)を経て半導体装置として完成する。

【0015】

【発明が解決しようとする課題】しかしながら、上述した従来の半導体装置の製造方法では、周辺回路領域Rpでの拡散層16, 17の形成のために必要なサイドウォール30がメモリセル領域Rmのトランスファゲート20の側面にも形成されて最終工程まで残っているため、トランスファゲート20の間の部分でストッパーとして堆積されるシリコン窒化膜31の形成領域が狭くなりがちであり、これがより一層の微細化を妨げるという問題がある。上記の従来の構造でより微細化が進んでトランスファゲート20間の間隔が狭くなると、サイドウォール30に挟まれた領域がシリコン窒化膜31で塞がれ、トランスファゲート20との絶縁を保ちつつ、シリコン基板10に達するコンタクトホール41, 43を形成するのが困難となる。すなわち、サイドウォール30に挟まれた領域がシリコン窒化膜31で塞がれた場合、トランスファゲート20とコンタクトホール41, 43との絶縁を保つ条件でエッチングすると、コンタクトホール41, 43がシリコン基板10まで達しない可能性が高く、逆にコンタクトホール41, 43が確実にシリコン基板10まで達するような条件でエッチングすると、サイドエッチングが進行してトランスファゲート20に対する絶縁が保てなくなる可能性が高い。

6

【0016】また、従来の半導体装置の製造方法では、特にトランスファゲート20にオフセットシリコン酸化膜23を有する集積度の高いDRAMに適用する場合に、ビット線とシリコン基板10とを接続するためのコンタクトホール43と、ビット線とトランスファゲート20とを接続するためのコンタクトホール45とを別個のフォトリソグラフィプロセス、エッチングプロセスにより形成しなければならないため工程数が多いという問題がある。しかも、コンタクトホールの形成には厳密な位置決めが求められるため、フォトリソグラフィプロセスでのクリティカルレイヤー数が多いこととなり、上記の2種のコンタクトホール43, 45を一括形成できる場合と比較するとコスト増が著しい。

【0017】この発明は、上述した従来技術の問題点に鑑みてなされたものであり、ストッパーとして形成されるシリコン窒化膜が装置の微細化を妨げることがなく、かつ、集積度の高いDRAMに適用した場合には上層の配線とシリコン基板とを接続するためのコンタクトホールと、配線とトランスファゲートとを接続するためのコンタクトホールとを一括して形成することができる半導体装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】この発明にかかる半導体装置の製造方法は、低集積度領域のトランスファゲートの周囲に不純物をドーピングする際のマスクとして形成されたサイドウォールをドーピング後に除去することを第1の特徴とし、ストッパーとして形成されたシリコン窒化膜を低集積度領域で除去してからシリコン酸化膜を堆積することを第2の特徴とする。第1の特徴により、高集積度領域でのトランスファゲート間でシリコン窒化膜が形成される領域を比較的広く確保することができ、微細化によりトランスファゲート間の間隔が狭くなった場合にもその領域がシリコン窒化膜により塞がれるのを防ぐことができる。また、第2の特徴により、シリコン窒化膜をストッパーとしてシリコン酸化膜をエッチングした後にシリコン窒化膜をエッチングすれば、ビット線とシリコン基板とを接続するためのコンタクトホールと、ビット線とトランスファゲートとを接続するためのコンタクトホールとを一括して形成することができる。

【0019】より詳細には、この発明の半導体装置の製造方法は、トランジスタが相対的に高い集積度で形成される高集積度領域と、相対的に低い集積度で形成される低集積度領域とを含む半導体装置の製造方法において、シリコン基板上にトランスファゲートを形成する段階と、シリコン基板の全面に保護膜として第1のシリコン酸化膜を形成する段階と、保護膜上に保護膜に対してエッチング時の選択性を有する異種膜を堆積する段階と、異種膜を異方的にエッチングすることにより、トランスファゲートの側面にサイドウォールを形成する段階と、低集積度領域のトランスファゲートの周囲にサイドウォール

ールをマスクとして不純物をドーピングする段階と、保護膜をストッパーとして異種膜をエッチングにより除去する段階と、高集積度領域のトランスファゲート間の間隙を塞がず、かつ、ストッパーとして機能するのに十分な膜厚のシリコン窒化膜をシリコン基板の全面に形成する段階と、低集積度領域において、少なくとも上層の配線に接続されるトランスファゲートの上面を含む領域でシリコン窒化膜を除去する段階と、シリコン基板の全面にトランスファゲートを覆う膜厚の第2のシリコン酸化膜を堆積する段階と、低集積度領域で配線に接続されるトランスファゲートの上面と、高集積度領域で配線に接続されるシリコン基板の上面とに開口を有するコンタクトホール形成用のマスクをフォトリソグラフィプロセスにより形成する段階と、コンタクトホール形成用のマスクを介してシリコン窒化膜をストッパーとする条件で第2のシリコン酸化膜をエッチングし、続いてシリコン窒化膜を除去する条件でエッチングすることによりコンタクトホールを形成する段階とを含み、これらの段階が順に実行されることを特徴とする。

【0020】異種膜は、ポリシリコン膜、あるいはシリコン窒化膜により形成することができる。また、トランスファゲートにはポリシリコン膜と、このポリシリコン膜の上に形成されるシリコン酸化膜とを含ませることができる。シリコン窒化膜除去段階では、高集積度領域をマスクしてシリコン窒化膜を等方的にエッチングすることにより、低集積度領域におけるシリコン窒化膜を全体的に除去し、あるいは、異方的にエッチングすることにより、低集積度領域におけるシリコン窒化膜をトランスファゲートの側面部分を残して除去することができる。さらに、ビット線に接続されるトランスファゲートの上面においてのみシリコン窒化膜を除去するようにしてもよい。

【0021】ストッパーとして機能するシリコン窒化膜形成段階の後に、このシリコン窒化膜の表面を覆うマスク用シリコン酸化膜を形成する段階をさらに含ませ、シリコン窒化膜除去段階では、高集積度領域をマスクしてマスク用シリコン酸化膜をフッ化水素水溶液でエッチングした後に、高集積度領域に残ったマスク用シリコン酸化膜をマスクとして熱リン酸水溶液でエッチングすることにより、低集積度領域におけるシリコン窒化膜を全体的に除去するようにしてもよい。

【0022】

【発明の実施の形態】以下、この発明にかかる半導体装置の製造方法をダイナミックランダムアクセスメモリ(DRAM)の製造工程に適用した実施形態を5例、図1～図10に基づいて説明する。

【0023】図1～図3は、第1の実施形態にかかる半導体装置の製造方法を示し、図1はDRAMの製造工程中の基板工程の一部、図2および図3はその配線工程の一部をそれぞれ段階的に示す拡大断面図である。DRA

Mは一般にCMOS回路を基本とする素子であり、nチャンネルMOSFET(nMOS)とpチャンネルMOSFET(pMOS)とを配線で接続して構成されている。図1(A)に示されるように、シリコン基板10にはウェルイオンの注入によりn形領域(nウェル)11とp形領域(pウェル)12とが形成されると共に、選択酸化により素子分離領域13、14が形成されている。素子分離領域13より図中左側の領域は、トランジスタの集積度が相対的に低い低集積度領域である周辺回路領域Rp、右側の領域は、集積度が相対的に高い高集積度領域であるメモリセル領域Rmである。

【0024】第1の実施形態の製造方法は、シリコン基板10上にトランスファゲート20を形成する第1段階(図1(A))、保護膜として第1のシリコン酸化膜35を形成する第2段階(図1(B))、第1のシリコン酸化膜35上に異種膜としてポリシリコン膜36を堆積する第3段階(図1(B))、トランスファゲート20の側面にサイドウォール36aを形成する第4段階(図1(C))、周辺回路領域Rpのトランスファゲート20の周囲にn形、p形の不純物をドーピングする第5段階(図1(C))、第1のシリコン酸化膜35をストッパーとしてポリシリコン膜36を除去する第6段階(図1(C)～(D))、ストッパーとして機能するシリコン窒化膜31をシリコン基板10の全面に形成する第7段階(図1(D))、周辺回路領域Rpでシリコン窒化膜31を除去する第8段階(図1(E))、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積する第9段階(図1(F))、第2のシリコン酸化膜32の表面を平坦化する第10段階(図1(F))、キャパシタ電極とのコンタクトをとるためのコンタクトホール41を形成する第11段階(図2(A))、このコンタクトホール41を埋めてパッド50を形成する第12段階(図2(B))、上層の配線であるビット線34に接続されるコンタクトホール用のマスク42を形成する第13段階(図3(A))、マスク42を介してエッチングすることによりコンタクトホール43、45を一括で形成する第14段階(図3(B))、これらのコンタクトホール43、45を埋めてビット線34に接続する第15段階(図3(C))とを含む。以下、各段階について順に説明する。

【0025】トランスファゲート20は、図1(A)に示されるように、シリコン基板10側から順に、ゲート酸化膜21とゲートポリシリコン膜22、そしてオフセットシリコン酸化膜23とを積層して構成されている。基板工程の第1段階では、これら3層をシリコン基板10の全面に堆積した後、通常フォトリソグラフィ工程によりトランスファゲート20の形成部分にレジスト膜を残し、ゲートポリシリコン膜22をストッパーとしてオフセットシリコン酸化膜23をドライエッチングする。レジストを灰化した後、オフセットシリコン酸化膜23をマスクとしてゲートポリシリコン膜22とゲートシリコン酸化膜21とを同時にドライエッチングしてトランスファゲート20を形成す

る。オフセットシリコン酸化膜23をマスクとして利用する理由は従来技術の項で説明したとおりである。

【0026】トランスファゲート20を形成した後、周辺回路領域Rpとメモリセル領域Rmとのnウェル11をレジストによりマスクし、pウェル12の部分にn形不純物を図中に矢印で示したようにイオン注入法(イオンインプランテーション)によりドーピングしてnMOSのソース・ドレインとなるn⁺拡散層15を形成する。なお、イオン注入時のレジストパターンは図示していない。

【0027】第2、第3段階では、図1(B)に示されるように、シリコン基板の全面に保護膜として第1のシリコン酸化膜35をCVD法により堆積した後、第1のシリコン酸化膜35に対してエッチング時の選択性を有する異種膜として、ポリシリコン膜36をCVD法により堆積する。第4段階では、ポリシリコン膜36を異方的にエッチングすることにより、図1(C)に示されるように、トランスファゲート20の側面にサイドウォール36aを形成する。第4段階でのエッチング条件は、例えば、放電周波数2.45GHzのECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを300W、RFパワー密度を0.113W/cm²、電極温度を20℃に設定する。このとき、第1のシリコン酸化膜35の膜厚とサイドウォール36aの厚さとの合計が、周辺回路領域RpのMOSのソース・ドレインとなる拡散層を形成する際のマスクとして必要な幅となるようにエッチング時間を調整する。また、第1のシリコン酸化膜35の膜厚は、第6段階でサイドウォール36aが除去された後にも第1のシリコン酸化膜35が残存するような厚さに定められる。

【0028】第5段階では、通常のフォトリソグラフィプロセスにより他の領域をマスクして周辺回路領域Rpのpウェルにn形の不純物、nウェルにp形の不純物を図1(C)に矢印で示すように順にイオン注入法によりドーピングし、p⁺拡散層16、n⁺拡散層17を周辺回路領域RpのMOSのソース・ドレインとして形成する。サイドウォール36aはイオン注入の位置、すなわち各拡散層16、17とトランスファゲート20との位置関係を制御しており、これによりMOSFETの特性が決定される。なお、図1(C)においても、イオン注入時のレジストパターンは図示していない。

【0029】第6段階では、第1のシリコン酸化膜35に対して十分な選択比を確保できる条件でポリシリコン膜36で構成されるサイドウォール36aを等方的にエッチングして除去する。このときのエッチング条件は、例えば、放電周波数2.45GHzのマイクロ波ダウンフローエッチング装置を用い、圧力40PaでCF₄、O₂、Cl₂の各ガスをそれぞれ流量175cc/min、125cc/min、40cc/minで供給し、マイクロ波パワーを500W、電極温度を25℃に設定する。

【0030】第7段階では、図1(D)に示されるよう

に、メモリセル領域Rmのトランスファゲート20間の間隙を塞がず、かつ、後工程のコンタクトホール形成時のエッチングのストッパーとして機能するのに十分な膜厚のシリコン窒化膜31をCVD法により全面に形成する。シリコン酸化膜35、およびシリコン窒化膜31の膜厚は、デザインルールにより変化するが、例えばメモリセル領域Rmにおけるトランスファゲート20の間隔が200nmである場合、シリコン酸化膜35の膜厚が20nm、シリコン窒化膜31の膜厚が50nm程度となるように設定される。シリコン窒化膜31の形成後、第8段階では、図1(E)に示されるように、メモリセル領域Rmをカバーするマスクパターン47を通常のフォトリソグラフィプロセスにより形成し、第1のシリコン酸化膜35に対して十分な選択比を確保できる条件で周辺回路領域Rpのシリコン窒化膜31を等方的にエッチングして全体的に除去する。このときのエッチング条件は、例えば、放電周波数2.45GHzのマイクロ波ダウンフローエッチング装置を用い、圧力80PaでCF₄、O₂、N₂、Cl₂の各ガスをそれぞれ流量270cc/min、270cc/min、80cc/min、160cc/minで供給し、マイクロ波パワーを600W、電極温度を25℃に設定する。なお、第8段階でのメモリセル領域Rmのマスクパターン47の形成には、さほど高い精度が要求されないため、フォトリソグラフィプロセスの露光装置としてi線ステッパを用いることができる。

【0031】第9段階では、マスクパターン47のレジストを灰化した後、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積し、第10段階で第2のシリコン酸化膜32の表面をCMPにより研磨して、図1(F)に示すように平坦化する。この第10段階までが基板工程である。

【0032】配線工程の最初の段階である第11段階では、メモリセル領域Rmでシリコン基板10に達するコンタクトホールを形成するため、図2(A)に示すように通常のフォトリソグラフィプロセスによりレジスト膜によるマスクパターン40を形成し、これをマスクとしてシリコン窒化膜31をストッパーとする条件で第2のシリコン酸化膜32をエッチングし、続いてシリコン窒化膜31をエッチングする条件でシリコン基板10に達するコンタクトホール41を開口する。第2のシリコン酸化膜32のエッチングには、例えばマグネトロンエッチング装置を用い、圧力40mTorrでC₄F₈、Ar、COの各ガスをそれぞれ流量16sccm、400sccm、300sccmで供給し、RFパワーを1300W、電極間隔を27mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。また、シリコン窒化膜31のエッチングには、続けて、圧力50mTorrでCHF₃、Ar、O₂の各ガスをそれぞれ流量20sccm、100sccm、20sccmで供給し、RFパワーを300W、電極間隔を32mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

【0033】第12段階では、マスクパターン40のレジ

ストを灰化した後、不純物をドーブしたポリシリコン膜でコンタクトホール41を埋めてエッチバックすることにより、図2(B)に示すようにパッド50を形成する。なお、このパッド50は、後工程で形成されるキャパシタ電極とのコンタクトをとるために用いられる。

【0034】パッド50の形成後、第13段階では、図3(A)に示すように絶縁層として第3のシリコン酸化膜33を堆積し、メモリセル領域R_mでシリコン基板10に達するコンタクトホールと、周辺回路領域R_pでトランスファゲート20のゲートポリシリコン膜22に達するコンタクトホールとを形成するためのマスクパターン42を第3のシリコン酸化膜33上に通常のフォトリソグラフィプロセスにより形成する。

【0035】第14段階では、上記のマスクパターン42を用いてシリコン窒化膜31をストッパーとする条件で第3のシリコン酸化膜33, 32をエッチングし、続いてシリコン窒化膜31をエッチングすることにより、図3(B)に示すようにシリコン基板10に達するコンタクトホール43とトランスファゲート20のゲートポリシリコン膜22に達するコンタクトホール45とを一括して開口する。シリコン酸化膜33, 32のエッチングには、例えばマグネトロンエッチング装置を用い、圧力40mTorrでC₄F₈, Ar, COの各ガスをそれぞれ流量16sccm, 400sccm, 300sccmで供給し、RFパワーを1300W、電極間隔を27mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。また、シリコン窒化膜31のエッチングには、続けて、圧力40mTorrでCHF₃, Ar, O₂の各ガスをそれぞれ流量20sccm, 100sccm, 20sccmで供給し、RFパワーを300W、電極間隔を32mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

【0036】上記のようにシリコン窒化膜31をガイドとしてシリコン酸化膜33, 32をエッチングすることにより、コンタクトホール形成用マスクにおける開口位置が多少ズレた場合にも、シリコン基板10に達するコンタクトホール41, 43をトランスファゲート20との間の絶縁を保ちつつ形成することができる。また、上記のシリコン窒化膜31のエッチング条件では、シリコン窒化膜31に対する選択比も1程度であるため、シリコン窒化膜31のエッチング時にトランスファゲート20のオフセットシリコン酸化膜23および第1のシリコン酸化膜35もエッチングされ、上記のような2段階のエッチングでゲートポリシリコン膜22およびシリコン基板10に達するコンタクトホール43, 45を開口することができる。

【0037】第15段階では、マスクパターン42を灰化した後に、図3(C)に示されるように、コンタクトホール43, 45を埋めてビット線膜34を堆積し、ビット線として必要部分を残すためのマスクパターン46を通常のフォトリソグラフィプロセスにより形成し、これをマスクにして第3のシリコン酸化膜33をストッパーとする条件でビット線膜34をエッチングする。このビット線形成後、

キャパシタ電極の形成等の処理が行われ、DRAMのウェーハプロセス(前工程)が終了する。前工程が終了すると、動作確認のテストが実行され、パッケージング(後工程)を経て半導体装置として完成する。

【0038】上述した第1の実施形態によれば、ポリシリコン膜で形成したサイドウォール36aを除去した後、メモリセル領域R_mのトランスファゲート20間を塞がない膜厚でストッパーとしてシリコン窒化膜31を堆積するようにしたため、微細化によりトランスファゲート20間の間隔が狭くなった場合にもその領域がシリコン窒化膜31により塞がれるのを防ぐことができる。

【0039】また、周辺回路領域R_pのシリコン窒化膜31を基板工程で除去しておくことにより、メモリセル領域R_mでシリコン基板10に達するコンタクトホール43と、周辺回路領域R_pでトランスファゲート20に達するコンタクトホール45とを一括して開口することができる。第1の実施形態のプロセスでは、従来技術と比較して、コンタクトホールを形成するためのフォトリソグラフィプロセスを1工程減らす一方、シリコン窒化膜31を除去しておくためのフォトリソグラフィプロセスが1工程増えることとなる。ただし、前者がクリティカルレイヤーであるために厳密な精度が要求されるのに対し、後者はクリティカルレイヤーではなく、さほど厳密な精度が要求されないため、i線ステッパーを利用した低コストのプロセスとすることができる。したがって、総合的なコストを従来より下げることが可能となる。

【0040】図4～図6は、第2の実施形態にかかる半導体装置の製造方法を示す工程図である。シリコン基板10上の各ウェル11, 12、素子分離領域13, 14、トランスファゲート20の配置、そして周辺回路領域R_pとメモリセル領域R_mとの分離は第1の実施形態と同一である。

【0041】第2の実施形態の製造方法は、シリコン基板10上にトランスファゲート20を形成する第1段階(図4(A))、保護膜として第1のシリコン酸化膜35を形成する第2段階(図4(B))、第1のシリコン酸化膜35上に異種膜としてシリコン窒化膜37を堆積する第3段階(図4(B))、トランスファゲート20の側面にサイドウォール37aを形成する第4段階(図4(C))、周辺回路領域R_pのトランスファゲート20の周囲にn形、p形の不純物をドーピングする第5段階(図4(C))、第1のシリコン酸化膜35をストッパーとしてシリコン窒化膜37を除去する第6段階(図4(C)～(D))、ストッパーとして機能するシリコン窒化膜31をシリコン基板10の全面に形成する第7段階(図4(D))、周辺回路領域R_pでシリコン窒化膜31を除去する第8段階(図4(E))、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積する第9段階(図4(F))、第2のシリコン酸化膜32の表面を平坦化する第10段階(図4(F))、キャパシタ電極とのコンタクトをとるためのコンタクトホール41を形成する第11段階(図5(A))、このコンタ

クトホール41を埋めてパッド50を形成する第12段階(図5(B))、ビット線34に接続されるコンタクトホール用のマスク42を形成する第13段階(図6(A))、マスク42を介してエッチングすることによりコンタクトホール43, 45を一括で形成する第14段階(図6(B))、これらのコンタクトホール43, 45を埋めてビット線34に接続する第15段階(図6(C))とを含む。

【0042】第2の実施形態の製造方法の第1の実施形態の製造方法との違いは、第3段階で形成される異種膜が第1の実施形態ではポリシリコン膜であるのに対して第2の実施形態ではシリコン窒化膜37であること、その結果、第4段階ではこのシリコン窒化膜37をエッチングしてサイドウォール37aが形成され、第6段階ではサイドウォール37aを形成するシリコン窒化膜37がエッチングにより除去される。第1段階は第1の実施形態の対応する段階と同一であるため、以下、第2段階～第6段階について説明する。

【0043】第2、第3段階では、図4(B)に示されるように、シリコン基板10の全面に保護膜として第1のシリコン酸化膜35をCVD法により堆積した後、異種膜として第1のシリコン酸化膜35に対してエッチング時の選択性を有するシリコン窒化膜37をCVD法により堆積する。第4段階では、シリコン窒化膜37を異方向的にエッチングすることにより、図4(C)に示されるように、トランスファゲート20の側面にサイドウォール37aを形成する。第4段階でのエッチング条件は、例えば、放電周波数13.56MHzの平行平板型反応性イオンエッチング装置を用い、圧力40mTorrでCHF₃、O₂ガスをそれぞれ流量67cc/min、13cc/minで供給し、下部電極に印加されるRFパワーを350W、電極間隔を35mm、電極温度を40℃に設定してメインエッチングをした後、圧力325mTorrでCHF₃、SF₆ガスをそれぞれ流量10cc/min、100cc/minで供給し、下部電極に印加されるRFパワーを140W、電極間隔を20mm、電極温度を40℃に設定してオーバーエッチングする。このとき、第1のシリコン酸化膜35の膜厚とサイドウォール37aの厚さとの合計が、周辺回路領域RpのMOSのソース・ドレインとなる拡散層を形成する際のマスクとして必要な幅となるようにエッチング時間を調整する。また、第1のシリコン酸化膜35の膜厚は、第6段階でサイドウォール37aが除去された後にも第1のシリコン酸化膜35が残存するような厚さに定められる。

【0044】第5段階では、通常的光リソグラフィプロセスにより他の領域をマスクして周辺回路領域Rpのpウェルにn形の不純物、nウェルにp形の不純物を図4(C)に矢印で示すように順にイオン注入法によりドーピングし、p++拡散層16、n++拡散層17を周辺回路領域RpのMOSのソース・ドレインとして形成する。サイドウォール37aはイオン注入の位置、すなわち各拡散層16, 17とトランスファゲート20との位置関係を制御しており、これによりMOSFETの特性が決定される。

【0045】第6段階では、第1のシリコン酸化膜35に対して十分な選択比を確保できる条件でシリコン窒化膜37で構成されるサイドウォール37aを等方向的にエッチングして除去する。このときのエッチング条件は、例えば、放電周波数2.45GHzのマイクロ波ダウンフローエッチング装置を用い、圧力80PaでCF₄、O₂、N₂、Cl₂の各ガスをそれぞれ流量270cc/min、270cc/min、80cc/min、170cc/minで供給し、マイクロ波パワーを600W、電極温度を25℃に設定する。

10 【0046】第7段階では、メモリセル領域Rmのトランスファゲート20間の間隙を塞がず、かつ、後工程のコンタクトホール形成時のエッチングのストッパーとして機能するのに十分な膜厚のシリコン窒化膜31をCVD法により全面に形成する。この第7段階以降の処理は第1の実施形態と同一であるため、説明は省略する。

【0047】上述した第2の実施形態によれば、シリコン窒化膜で形成したサイドウォール37aを除去した後、メモリセル領域Rmのトランスファゲート20間を塞がない膜厚でストッパーとしてシリコン窒化膜31を堆積するようにしたため、微細化によりトランスファゲート20間の間隔が狭くなった場合にもその領域がシリコン窒化膜31により塞がれるのを防ぐことができる。

【0048】また、第1の実施形態と同様に、メモリセル領域Rmでシリコン基板10に達するコンタクトホール43と、周辺回路領域Rpでトランスファゲート20に達するコンタクトホール45とを一括して開口することができるため、総合的なコストを従来より下げることが可能となる。

【0049】図7～図9は、第3の実施形態にかかる半導体装置の製造方法を示す工程図である。シリコン基板10上の各ウェル11, 12、素子分離領域13, 14、トランスファゲート20の配置、そして周辺回路領域Rpとメモリセル領域Rmとの分離は第1の実施形態と同一である。

【0050】第3の実施形態の製造方法は、シリコン基板10上にトランスファゲート20を形成する第1段階(図7(A))、保護膜として第1のシリコン酸化膜35を形成する第2段階(図7(B))、第1のシリコン酸化膜35上に異種膜としてポリシリコン膜36を堆積する第3段階(図7(B))、トランスファゲート20の側面にサイドウォール36aを形成する第4段階(図7(C))、周辺回路領域Rpのトランスファゲート20の周囲にn形、p形の不純物をドーピングする第5段階(図7(C))、第1のシリコン酸化膜35をストッパーとしてポリシリコン膜36を除去する第6段階(図7(C)～(D))、ストッパーとして機能するシリコン窒化膜31をシリコン基板10の全面に形成する第7段階(図7(D))、周辺回路領域Rpでトランスファゲート20の側面部分を残してシリコン窒化膜31を除去する第8段階(図7(E))、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積する第9段階(図7(F))、第2のシリコン酸化膜32の

表面を平坦化する第10段階(図7(F))、キャパシタ電極とのコンタクトをとるためのコンタクトホール41を形成する第11段階(図8(A))、このコンタクトホール41を埋めてパッド50を形成する第12段階(図8(B))、ビット線34に接続されるコンタクトホール用のマスク42を形成する第13段階(図9(A))、マスク42を介してエッチングすることによりコンタクトホール43、45を一括で形成する第14段階(図9(B))、これらのコンタクトホール43、45を埋めてビット線34に接続する第15段階(図9(C))とを含む。

【0051】第3の実施形態の製造方法の第1の実施形態の製造方法との違いは、第1の実施形態では第8段階において周辺回路領域Rpのシリコン窒化膜31が全体的に除去されるのに対して、第3の実施形態では周辺回路領域Rpのシリコン窒化膜31がトランスファゲート20の側面部分を残して除去される点である。第1段階～第7段階は第1の実施形態の対応する段階と同一であるため、以下、第8段階について説明する。

【0052】第8段階では、図7(E)に示されるように、メモリセル領域Rmをカバーするマスクパターン47を通常のフォトリソグラフィプロセスにより形成し、第1のシリコン酸化膜35に対して十分な選択比を確保できる条件で周辺回路領域Rpのシリコン窒化膜31を異方的にエッチングしてトランスファゲート20の側面部分を残して除去する。このときのエッチング条件は、例えば、放電周波数400kHzの反応性イオンエッチング装置を用い、圧力300mTorrでCF₄、Arの各ガスをそれぞれ流量80cc/min、800cc/minで供給し、RFパワーを400W、電極間隔を10mm、電極温度を0℃に設定する。

【0053】第9段階では、マスクパターン47を灰化した後、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積し、第10段階で第2のシリコン酸化膜32の表面をCMPにより研磨して、図7(F)に示すように平坦化する。第2のシリコン酸化膜32は、周辺回路領域Rpにおいてはトランスファゲート20の側面に残されたシリコン窒化膜31の上から堆積される。第11段階以降の処理は第1の実施形態と同一であるので説明を省略する。

【0054】上述した第3の実施形態によれば、微細化への対応とコンタクトホールの一括開口という第1の実施形態と同様の効果に加え、周辺回路領域Rpでトランスファゲート20の側面に残されたシリコン窒化膜31がストッパーとして機能するため、周辺回路領域Rpでシリコン基板10に達するコンタクトホールを形成する場合には、このコンタクトホールとトランスファゲート20とを近接して配置しても絶縁を保つことができ、装置を小型化できるという効果がある。

【0055】図10～図12は、第4の実施形態にかかる半導体装置の製造方法を示す工程図である。シリコン

スファゲート20の配置、そして周辺回路領域Rpとメモリセル領域Rmとの分離は第1の実施形態と同一である。

【0056】第4の実施形態の製造方法は、シリコン基板10上にトランスファゲート20を形成する第1段階(図10(A))、保護膜として第1のシリコン酸化膜35を形成する第2段階(図10(B))、第1のシリコン酸化膜35上に異種膜としてポリシリコン膜36を堆積する第3段階(図10(B))、トランスファゲート20の側面にサイドウォール36aを形成する第4段階(図10(C))、周辺回路領域Rpのトランスファゲート20の周囲にn形、p形の不純物をドーピングする第5段階(図10(C))、第1のシリコン酸化膜35をストッパーとしてポリシリコン膜36を除去する第6段階(図10(C)～(D))、ストッパーとして機能するシリコン窒化膜31をシリコン基板10の全面に形成する第7段階(図10(D))、周辺回路領域Rpでビット線34に接続されるトランスファゲート20の上面においてのみシリコン窒化膜31を除去する第8段階(図10(E))、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積する第9段階(図10(F))、第2のシリコン酸化膜32の表面を平坦化する第10段階(図10(F))、キャパシタ電極とのコンタクトをとるためのコンタクトホール41を形成する第11段階(図11(A))、このコンタクトホール41を埋めてパッド50を形成する第12段階(図11(B))、ビット線34に接続されるコンタクトホール用のマスク42を形成する第13段階(図12(A))、マスク42を介してエッチングすることによりコンタクトホール43、45を一括で形成する第14段階(図12(B))、これらのコンタクトホール43、45を埋めてビット線34に接続する第15段階(図12(C))とを含む。

【0057】第4の実施形態の製造方法の第1の実施形態の製造方法との違いは、第1の実施形態では第8段階において周辺回路領域Rpのシリコン窒化膜31が全体的に除去されるのに対して、第3の実施形態では周辺回路領域Rpのシリコン窒化膜31がビット線34に接続されるトランスファゲート20の上部においてのみ除去される点である。第1段階～第7段階は第1の実施形態の対応する段階と同一であるため、以下、第8段階について説明する。

【0058】第8段階では、図10(E)に示されるように、周辺回路領域Rpのビット線34に接続されるトランスファゲート20の上部のみが開口し、周辺回路領域Rpの他の部分とメモリセル領域Rmとをカバーするマスクパターン48を通常のフォトリソグラフィプロセスにより形成し、第1のシリコン酸化膜35に対して十分な選択比を確保できる条件でシリコン窒化膜31をエッチングしてトランスファゲート20の上面部分を除去する。このときのエッチング条件は、例えば、放電周波数13.56MHzの平行平板型反応性イオンエッチング装置を用い、圧力40mT

orrでCHF₃、O₂の各ガスをそれぞれ流量67cc/min、13cc/minで供給し、下部電極に印加されるRFパワーを350W、電極間隔を35mm、電極温度を40℃に設定する。なお、この条件ではシリコン窒化膜31は順テーパ形状にエッチングされるが、等方的、あるいは異方的にエッチングされる条件に設定しても結果は同一である。

【0059】第9段階では、マスクパターン48を灰化した後、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積し、第10段階で第2のシリコン酸化膜32の表面をCMPにより研磨して、図10(F)に示すように平坦化する。第2のシリコン酸化膜32は、周辺回路領域Rpにおいてはトランスファゲート20の上面を除いて残されたシリコン窒化膜31の上から堆積される。第11段階以降の処理は第1の実施形態と同一であるので説明を省略する。

【0060】上述した第4の実施形態によれば、微細化への対応とコンタクトホールの一括開口という第1の実施形態と同様の効果に加え、周辺回路領域Rpでもトランスファゲート20の周囲に残されたシリコン窒化膜31がストッパーとして機能するため、周辺回路領域Rpでシリコン基板10に達するコンタクトホールを形成する場合には、このコンタクトホールとトランスファゲート20とを近接して配置しても絶縁を保つことができ、装置を小型化できるという効果がある。

【0061】図13～図15は、第5の実施形態にかかる半導体装置の製造方法を示す工程図である。シリコン基板10上の各ウェル11、12、素子分離領域13、14、トランスファゲート20の配置、そして周辺回路領域Rpとメモリセル領域Rmとの分離は第1の実施形態と同一である。

【0062】第5の実施形態の製造方法は、シリコン基板10上にトランスファゲート20を形成する第1段階(図13(A))、保護膜として第1のシリコン酸化膜35を形成する第2段階(図13(B))、第1のシリコン酸化膜35上に異種膜としてポリシリコン膜36を堆積する第3段階(図13(B))、トランスファゲート20の側面にサイドウォール36aを形成する第4段階(図13(C))、周辺回路領域Rpのトランスファゲート20の周囲にn形、p形の不純物をドーピングする第5段階(図13(C))、第1のシリコン酸化膜35をストッパーとしてポリシリコン膜36を除去する第6段階(図13(C)～(D))、ストッパーとして機能するシリコン窒化膜31をシリコン基板10の全面に形成する第7段階(図13(D))、このシリコン窒化膜31の上にマスク用シリコン酸化膜38を形成する第8段階(図13(D))、周辺回路領域Rpのマスク用シリコン酸化膜38を除去する第9段階(図13(E))、マスク用シリコン酸化膜38をマスクとしてシリコン窒化膜31を除去する第10段階(図13(F))、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第2のシリコン酸化膜32を堆積する第11段階(図13(F))、第2のシリコン

酸化膜32の表面を平坦化する第12段階(図13(F))、キャパシタ電極とのコンタクトをとるためのコンタクトホール41を形成する第13段階(図14(A))、このコンタクトホール41を埋めてパッド50を形成する第14段階(図14(B))、ビット線34に接続されるコンタクトホール用のマスク42を形成する第15段階(図15(A))、マスク42を介してエッチングすることによりコンタクトホール43、45を一括で形成する第16段階(図15(B))、これらのコンタクトホール43、45を埋めてビット線34に接続する第17段階(図15(C))とを含む。

【0063】第5の実施形態の製造方法の第1の実施形態の製造方法との違いは、第5の実施形態ではシリコン窒化膜31の上にマスク用シリコン酸化膜38を形成する第8段階と、周辺回路領域Rpのマスク用シリコン酸化膜38を除去する第9段階とが新たに加えられ、このマスク用シリコン酸化膜38が第10段階(第1の実施形態の第8段階に相当)においてエッチング時のマスクとして用いられている点である。第1段階～第7段階は第1の実施形態の対応する段階と同一であるため、以下、第8段階～第10段階について説明する。

【0064】第8段階では、図13(D)に示されるように、第7段階で形成されたシリコン窒化膜31の上にマスク用シリコン酸化膜38をCVD法により形成する。第9段階では、メモリセル領域Rmをカバーするマスクパターン47を通常のフォトリソグラフィプロセスにより形成し、緩衝フッ化水素水溶液で周辺回路領域Rpのマスク用シリコン酸化膜38をエッチングして除去する。第10段階では、マスクパターン47のレジストを灰化した後、メモリセル領域Rmに残されたマスク用シリコン酸化膜38をマスクとして周辺回路領域Rpのシリコン窒化膜31を熱リン酸水溶液でエッチングして除去する。この後の第11段階～第17段階の処理は、第1の実施形態の第9段階～第15段階と同一であるので説明を省略する。

【0065】フォトリソ材料はシリコン窒化膜31を除去するための熱リン酸水溶液に対する耐性が弱いため、マスクパターン48を直接シリコン窒化膜31上に形成してエッチングすることはできない。このため、熱リン酸水溶液に対して耐性があるマスク用シリコン酸化膜38によりマスクを形成し、これを用いてシリコン窒化膜31をエッチングするようにしている。

【0066】上述した第5の実施形態によれば、微細化への対応とコンタクトホールの一括開口という第1の実施形態と同様の効果に加え、シリコン窒化膜31の除去にウェットエッチングのプロセスを利用できるため、複数のウェーハを同時に処理するバッチ式の処理が可能となり、製造工程における所要時間を他の実施形態の方法によるよりも短縮することができるという効果がある。すなわち、第5の実施形態の製造方法では、工程数はドライエッチングを用いた他の実施形態の方法より増加するが、マスク用シリコン酸化膜38のエッチング、シリコン

窒化膜31のエッチングを共にウェットプロセスにより処理することができるため、バッチ処理を用いることにより単位ウェーハ当たりの平均処理時間は短くなる。

【0067】

【発明の効果】以上説明したように、この発明によれば、低集積度領域のトランスファゲートの周囲に不純物をドーピングする際のマスクとして形成されたサイドウォールを一旦除去することにより、高集積度領域でのトランスファゲート間でシリコン窒化膜が形成される領域を比較的広く確保することができ、微細化によりトランスファゲート間の間隔が狭くなった場合にもその領域がシリコン窒化膜により塞がれるのを防ぐことができる。したがって、サイドウォールが最終工程まで残される従来例よりも、パターンの微細化を一層進めることができる。

【0068】また、ストッパーとして形成されたシリコン窒化膜を低集積度領域で除去してからシリコン酸化膜を堆積することにより、シリコン窒化膜をストッパーとしてシリコン酸化膜をエッチングした後にシリコン窒化膜をエッチングすれば、ビット線とシリコン基板とを接続するためのコンタクトホールと、ビット線とトランスファゲートとを接続するためのコンタクトホールとを一括して形成することができる。

【図面の簡単な説明】

【図1】 第1の実施形態にかかる半導体装置の製造方法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

【図2】 第1の実施形態にかかる半導体装置の製造方法の工程中の配線工程の一部を段階的に示す半導体装置の拡大断面図。

【図3】 第1の実施形態にかかる半導体装置の製造方法の工程中の配線工程の他の一部を段階的に示す半導体装置の拡大断面図。

【図4】 第2の実施形態にかかる半導体装置の製造方法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

【図5】 第2の実施形態にかかる半導体装置の製造方法の工程中の配線工程の一部を段階的に示す半導体装置の拡大断面図。

【図6】 第2の実施形態にかかる半導体装置の製造方法の工程中の配線工程の他の一部を段階的に示す半導体装置の拡大断面図。

【図7】 第3の実施形態にかかる半導体装置の製造方法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

【図8】 第3の実施形態にかかる半導体装置の製造方法の工程中の配線工程の一部を段階的に示す半導体装置の拡大断面図。

【図9】 第3の実施形態にかかる半導体装置の製造方法の工程中の配線工程の他の一部を段階的に示す半導体装置の拡大断面図。

10 【図10】 第4の実施形態にかかる半導体装置の製造方法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

【図11】 第4の実施形態にかかる半導体装置の製造方法の工程中の配線工程の一部を段階的に示す半導体装置の拡大断面図。

【図12】 第4の実施形態にかかる半導体装置の製造方法の工程中の配線工程の他の一部を段階的に示す半導体装置の拡大断面図。

20 【図13】 第5の実施形態にかかる半導体装置の製造方法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

【図14】 第5の実施形態にかかる半導体装置の製造方法の工程中の配線工程の一部を段階的に示す半導体装置の拡大断面図。

【図15】 第5の実施形態にかかる半導体装置の製造方法の工程中の配線工程の他の一部を段階的に示す半導体装置の拡大断面図。

【図16】 従来の半導体装置の製造方法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

30 【図17】 従来の半導体装置の製造方法の工程中の配線工程の一部を段階的に示す半導体装置の拡大断面図。

【図18】 従来の半導体装置の製造方法の工程中の配線工程の他の一部を段階的に示す半導体装置の拡大断面図。

【符号の説明】

10 シリコン基板

13 素子分離領域

20 トランスファゲート

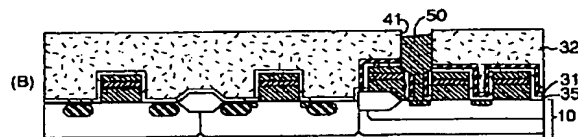
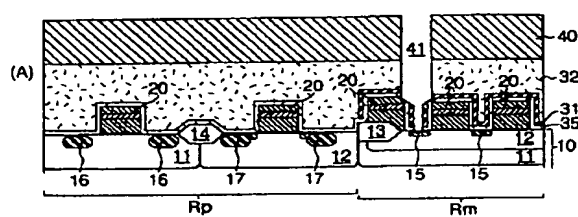
32 第2のシリコン酸化膜

40 31 シリコン窒化膜(ストッパー)

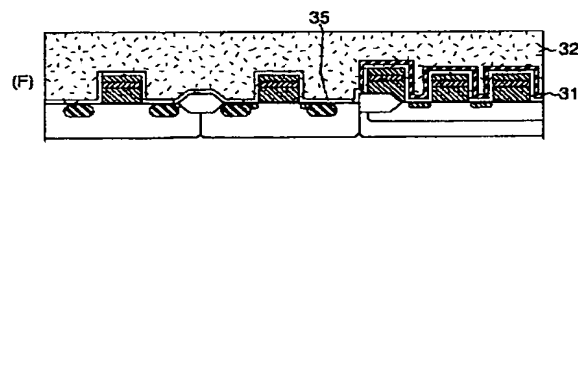
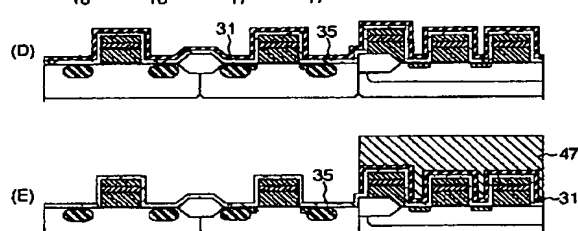
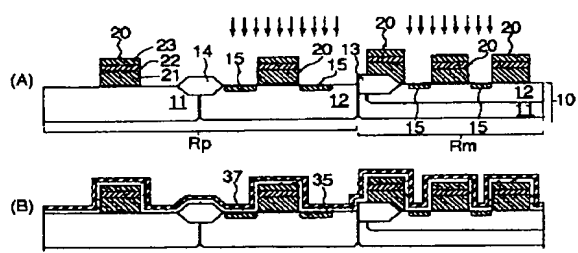
35 第1のシリコン酸化膜

41, 43, 45 コンタクトホール

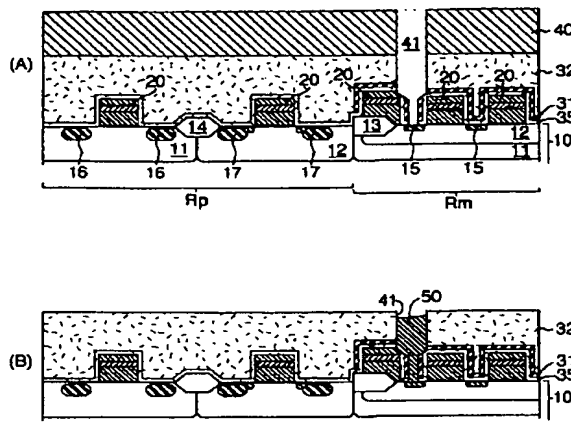
【图 2】



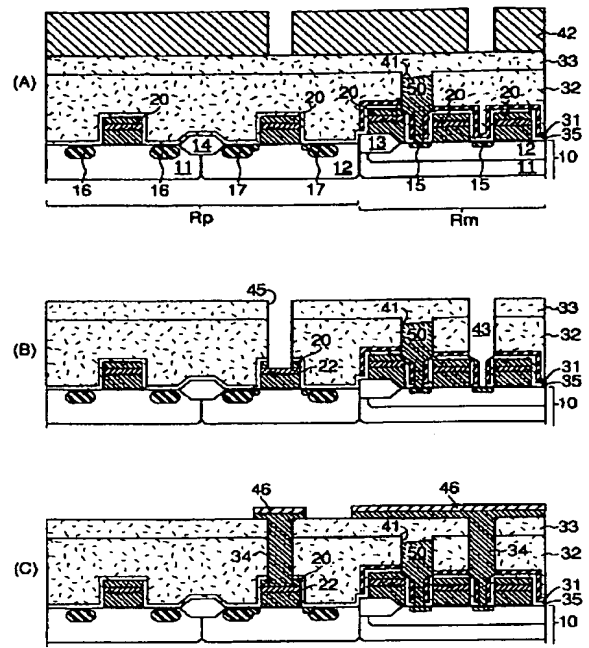
【図 4】



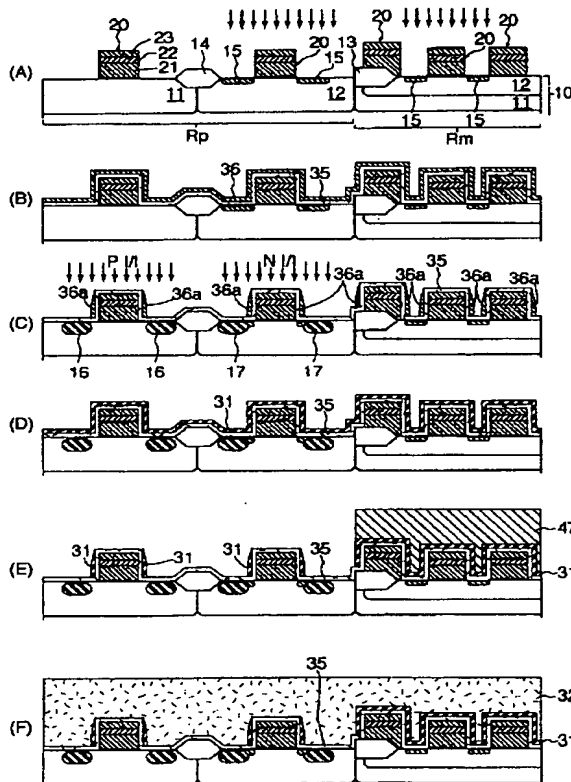
【図 5】



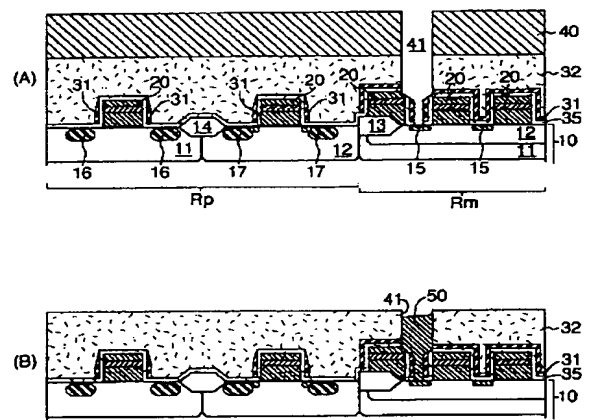
【図 6】



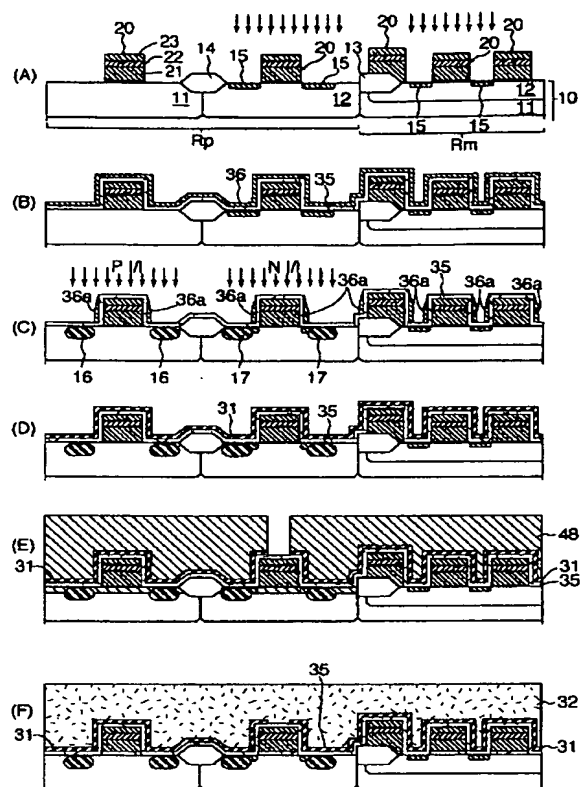
【図 7】



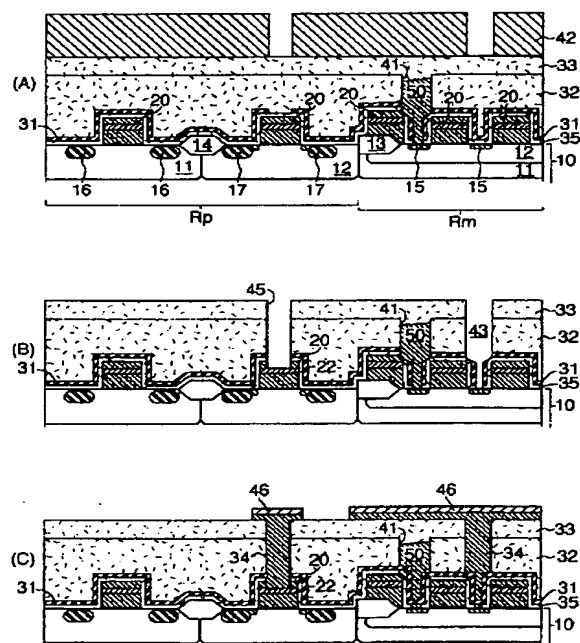
【図 8】



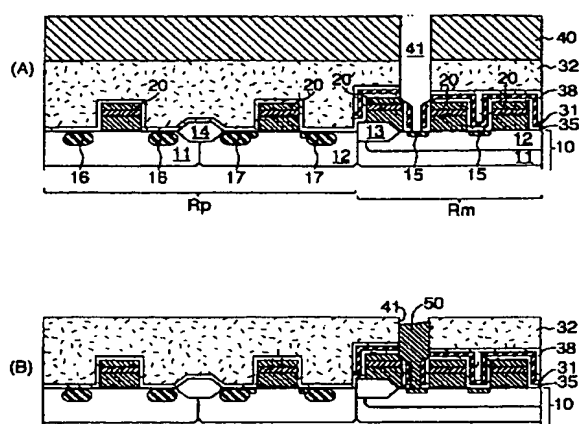
【図 10】



【図 12】



【图 1 4】



【图 15】

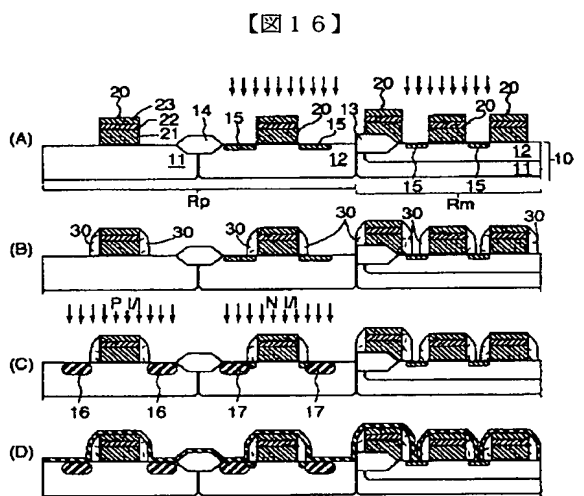
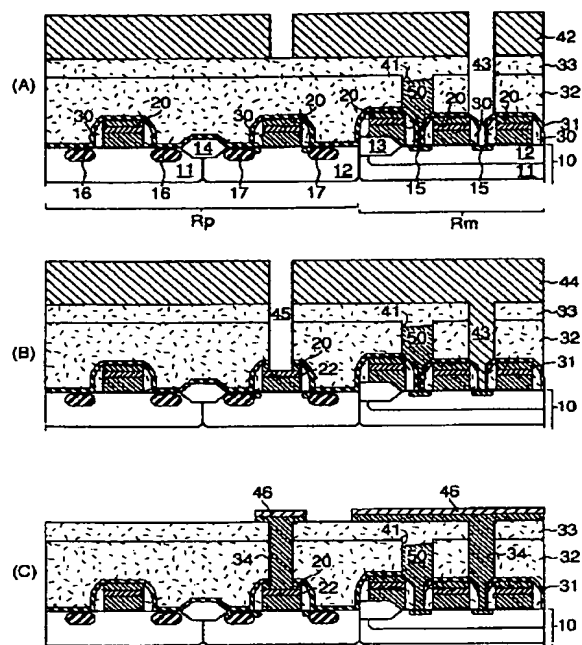


Figure 1 consists of two cross-sectional diagrams, (A) and (B), illustrating the device structure. Diagram (A) shows a substrate with layers 10, 11, 12, 13, 14, 15, 16, 17, 20, 30, 31, 32, 40, and 41. Dimensions R_p and R_m are indicated. Diagram (B) shows the structure after the first etching step, with dimensions 41, 50, and R_m indicated.

【図 18】





US006162677A

United States Patent [19]**Miyakawa et al.**[11] **Patent Number:** **6,162,677**[45] **Date of Patent:** **Dec. 19, 2000**[54] **SEMICONDUCTOR DEVICE FABRICATING METHOD**[75] Inventors: **Yasuhiro Miyakawa; Tsukasa Yajima; Shunji Takase**, all of Tokyo, Japan[73] Assignee: **Oki Electric Industry Co., Ltd.**, Tokyo, Japan[21] Appl. No.: **09/151,355**[22] Filed: **Sep. 10, 1998**[30] **Foreign Application Priority Data**

Dec. 22, 1997 [JP] Japan 9-353522

[51] Int. Cl.⁷ **H01L 21/8242**[52] U.S. Cl. **438/253; 254/672; 254/238**

[58] Field of Search 438/238, 239, 438/241, 244, 253, 382, 383, 254, 255, 256, 672, 393, 394, 673, 677, 678; 257/296, 903, 904

[56] **References Cited****U.S. PATENT DOCUMENTS**

5,554,557	9/1996	Koh	437/52
5,702,968	12/1997	Chen	437/52
5,710,078	1/1998	Tseng	438/620
5,716,881	2/1998	Liang et al.	438/238
5,792,692	6/1999	Li et al.	438/253
5,796,135	6/1999	Liang et al.	257/296

5,879,986	3/1999	Sung	438/253
5,914,510	6/1999	Hieda	257/301
6,013,550	1/2000	Lee et al.	438/253
6,015,733	1/2000	Lee et al.	438/253
6,077,738	6/2000	Lee et al.	438/241
6,087,225	7/2000	Bronner et al.	438/275

FOREIGN PATENT DOCUMENTS

1-165162	6/1989	Japan
1-292863	11/1989	Japan
4-34971	2/1992	Japan

Primary Examiner—Charles Bowers*Assistant Examiner*—Laura Schillinger*Attorney, Agent, or Firm*—Jones Volentine, L.L.C.[57] **ABSTRACT**

In a semiconductor device fabricating method for fabricating a semiconductor device having a high-density region in which transistors are arranged with a relatively high density, and a low-density region in which transistors are arranged in with a relatively low density, a silicon nitride film of a thickness great enough for the silicon nitride film to serve as a stopper is deposited over the entire surface of the silicon wafer, so that regions between the transfer gates in the high-density region may not be blocked up after removing side walls formed in the entire transistor region. A part of the silicon nitride film in the low-density region, namely, a peripheral circuit region, is removed.

14 Claims, 18 Drawing Sheets